

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-043944

(43)Date of publication of application : 08.02.2002

(51)Int.Cl.

H03M 1/74  
G02F 1/133  
G09G 3/20  
G09G 3/36

(21)Application number : 2000-224409

(71)Applicant : SHARP CORP

(22)Date of filing : 25.07.2000

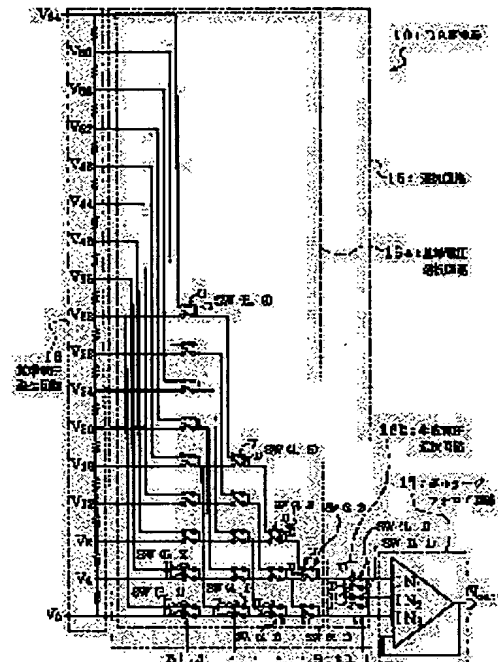
(72)Inventor : NAKAO TOMOAKI

## (54) DIGITAL/ANALOG CONVERTER AND LIQUID CRYSTAL DRIVER USING THE SAME

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a down-sized digital/analog converter and a liquid crystal driver using it that can suppress a rapid increase in number of circuit components and the manufacture cost even when the number of voltages required for multi-gradation of display increases.

**SOLUTION:** The digital/analog converter 10 that converts an N-bit digital signal into 2N sets of analog signals is provided with a reference voltage generating circuit 18 that generates a reference voltage in 2A+1 sets of voltage levels, a reference voltage selection circuit 16a that selects two reference voltages whose voltage levels are adjacent to each other according to A-bits of the digital signal, a generating voltage selection circuit 16b that selects one interpolation voltage according to (N-A)-bits of the digital signal from preset 2N-A-1 sets of interpolation voltages between the two reference voltage levels, and a voltage follower circuit 17 that generates the interpolation voltage on the basis of the two reference voltages through linear interpolation.



### LEGAL STATUS

[Date of request for examination]

09.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-43944  
(P 2 0 0 2 - 4 3 9 4 4 A)  
(43) 公開日 平成14年2月8日 (2002.2.8)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H03M 1/74		H03M 1/74	2H093
G02F 1/133	520	G02F 1/133	520 5C006
G09G 3/20	623	G09G 3/20	623 F 5C080
3/36		3/36	5J022

審査請求 未請求 請求項の数 7 O L (全20頁)

(21) 出願番号 特願2000-224409 (P 2000-224409)

(22) 出願日 平成12年7月25日 (2000.7.25)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 中尾 友昭

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100080034

弁理士 原 謙三

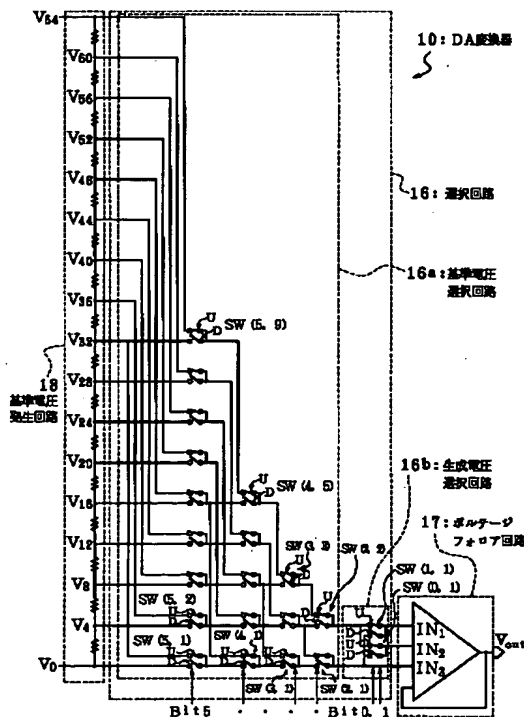
最終頁に続く

(54) 【発明の名称】 DA変換器およびそれを用いた液晶駆動装置

(57) 【要約】

【課題】 DA変換器およびそれを用いた液晶駆動装置において、表示の多階調化等により必要とされる電圧数が増えても、回路構成素子数の急激な増加を抑え、製造コストの増大を抑えるとともに、装置を小型化する。

【解決手段】 DA変換器10は、Nビットのデジタル信号を $2^N$ 通りのアナログ信号に変換するDA変換器であって、基準電圧を $2^A + 1$ 通りの電圧レベルで発生する基準電圧発生回路18、上記デジタル信号のAビットに従って電圧レベルが隣接する2つの基準電圧を選択する基準電圧選択回路16a、上記2つの基準電圧の電圧レベルの間に予め設定された $2^{N-A} - 1$ 個の補間電圧から、上記デジタル信号のN-Aビットに従って補間電圧を1つ選択する生成電圧選択回路16b、上記補間電圧を上記2つの基準電圧に基づき線形補間により生成するボルテージフォロア回路17を具備する。



## 【特許請求の範囲】

【請求項 1】電圧レベルが互いに異なる基準電圧を発生し、デジタル信号に従い上記基準電圧に基づいて出力電圧を出力することによって、上記デジタル信号をアナログ信号に変換する DA 変換器において、  
上記基準電圧を発生する基準電圧発生手段と、  
電圧レベルが隣接する 2 つの上記基準電圧を、これら 2 つの基準電圧の電圧レベルの間に上記出力電圧の電圧レベルを含むように選択する基準電圧選択手段と、  
上記 2 つの基準電圧の電圧レベルの間にあらかじめ設定されている複数の電圧レベルから上記出力電圧の電圧レベルを選択する生成電圧選択手段と、  
上記生成電圧選択手段によって選択された上記電圧レベルの電圧を、上記 2 つの基準電圧に基づいて上記出力電圧として生成する電圧生成手段とを具備することを特徴とする DA 変換器。

【請求項 2】上記基準電圧発生手段が、上記基準電圧を  $2^A + 1$  ( $A = 1, 2, \dots$ ) 通りの電圧レベルで発生するものであり、

上記デジタル信号が、上記 2 つの基準電圧を上記基準電圧選択手段に対して指定する A ビットの基準電圧選択ビットを含むことを特徴とする請求項 1 に記載の DA 変換器。

【請求項 3】上記電圧生成手段は、上記出力電圧を上記 2 つの基準電圧に基づく線形補間によって生成するものであることを特徴とする請求項 2 に記載の DA 変換器。

【請求項 4】上記デジタル信号が、上記出力電圧の電圧レベルを上記生成電圧選択手段に対して指定する B ( $B = 2, 3, \dots$ ) ビットの生成電圧選択ビットを含み、  
上記電圧生成手段が、上記 2 つの基準電圧の一方に対して  $2^C$  倍 ( $C = 1, 2, \dots, B - 1$ ) の重み付けを行う重み付け手段を備えていることを特徴とする請求項 3 に記載の DA 変換器。

【請求項 5】上記デジタル信号が上記基準電圧選択ビットと上記生成電圧選択ビットとからなり、かつ、上記生成電圧選択ビットが 2 ビットであることを特徴とする請求項 4 に記載の DA 変換器。

【請求項 6】上記基準電圧発生手段は、複数の抵抗素子を互いに接続し、これらの抵抗素子の間の接続部から上記基準電圧を発生させる抵抗分圧回路であることを特徴とする請求項 1 から 5 の何れか 1 項に記載の DA 変換器。

【請求項 7】請求項 1 から 6 の何れか 1 項に記載の DA 変換器を搭載したことを特徴とする液晶駆動装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、液晶駆動装置等に用いられる DA 変換器およびそれを用いた液晶駆動装置に関するものである。

## 【0002】

【従来の技術】DA (デジタル-アナログ) 変換器は、外部から入力されたデジタル信号をアナログ信号に変換するものである。例えば、アクティブマトリクス方式の液晶表示装置の液晶駆動装置等では、DA 変換器を用いて、外部から入力された表示データとしてのデジタル信号をアナログ信号に変換して液晶表示部へと伝達するようになっている。このような DA 変換器として、MOS トランジスタ構成のオペアンプを備えたものがある。

【0003】図 10 および図 11 に、上記のような液晶駆動装置に用いられる、デジタル信号で与えられた表示データをアナログ電圧に変換して出力する DA 変換器 100 の例の詳細な構成を示す。

【0004】この DA 変換器 100 は、DA 変換回路である選択回路 106 (本発明に係る DA 変換器 10 (図 9) の選択回路 16 に相当)、出力回路であるボルテージフォロア回路 107 (図 9 のボルテージフォロア 17 に相当)、基準電圧発生回路 108 (図 9 の基準電圧発生回路 18 に相当) により構成されている。図 10 に示す例は、6 ビットのデジタル信号 (Bit 5 ~ Bit 0) に対応して 64 通りのアナログ電圧を出力する、64 階調の液晶駆動装置に用いられる DA 変換器の構成を示している。また、図 11 は、基準電圧発生回路 108 および選択回路 106 の  $V_{1,1}$  から  $V_{1,6}$  の部分 (図 10 の要部 B) の拡大図である。そして、図 10 に示される基準電圧発生回路 108 および選択回路 106 の回路構成は、図 11 に示される構成パターンが繰り返されたものとなっている。

【0005】上記基準電圧発生回路 108 は、デジタル信号で与えられる表示データに従って、複数 (この例では 64 通り) の基準電圧を発生するものである。上記選択回路 106 は、この基準電圧のうちの 1 つを選択して出力するものであり、MOS トランジスタによるスイッチで構成されている。なお、このスイッチの詳細な構成は後述する。

【0006】上記ボルテージフォロア回路 107 は、選択回路 106 により選択された電圧を、液晶駆動信号として液晶駆動電圧出力端子 (図 9 の液晶駆動電圧出力端子 17 t に相当) から液晶表示素子へ出力するものである。

【0007】上記基準電圧発生回路 108 は、通常、複数の液晶駆動電圧出力端子に対して共通に使用される。

【0008】一方、選択回路 106 およびボルテージフォロア回路 107 は、1 つの液晶駆動電圧出力端子あたり各々 1 回路が使用される。また、カラー表示の場合は、この液晶駆動電圧出力端子は、各色に対応して使用されるので、その場合は、選択回路 106 およびボルテージフォロア回路 107 は、画素ごとに、1 つの色あたり各々 1 回路が使用される。すなわち、液晶パネル (図 5 の液晶パネル 21 に相当) 内の全画素数が N であれば、赤、緑、青の各色用の液晶駆動電圧出力端子をそれ

3  
 ぞれR、G、Bに添え字n (n=1, 2, ..., N) を付して表すとすると、この液晶駆動電圧出力端子としては、 $R_1, G_1, B_1, R_2, G_2, B_2, \dots, R_N, G_N, B_N$  があり、そのため、3N個の選択回路106およびボルテージフォロア回路107が必要になる。

【0009】以下に、この液晶駆動装置に用いられるDA変換器100の構成および動作について詳しく述べる。

【0010】基準電圧発生回路108は、64個の抵抗素子が直列に接続された構成を有しており、その両端の端子には、液晶駆動電圧の最大値 $V_{64}$ の電圧と最小値Vの電圧とがそれぞれ入力される。このため、各抵抗素子の間からは、64通りの電圧 ( $V_0 \sim V_{63}$ ) が、接続された抵抗素子の抵抗値に応じた比率で発生する。そして、基準電圧発生回路108から発生したこれら64通りの電圧は、選択回路106に入力される。

【0011】選択回路106では、6ビットのデジタル信号からなる表示データにより、入力された64通りの電圧のうちの1つが選択されて出力されるように、MOSトランジスタによる上記スイッチが配置されている。すなわち、6ビットのデジタル信号からなる表示データのそれぞれ (Bit 0 ~ Bit 5) に応じて、上記スイッチがオン・オフされ、これにより、入力された64通りの電圧のうちの1つが選択されて出力される。以下にこの様子を説明する。

【0012】すなわち、6ビットのデジタル信号は、Bit 5がMSB (most significant bit) であり、Bit 0がLSB (least significant bit) である。上記スイッチは、2個で1組のスイッチ対を構成している。よって、Bit 0に対しては32組のスイッチ対 (64個のスイッチ) がある。Bit 1に対しては16組のスイッチ対 (32個のスイッチ) がある。以下、Bit ごとに個数が2分の1になり、Bit 5では1組のスイッチ対 (2個のスイッチ) となる。したがって、選択回路106には、合計で、 $1+2+2^2+2^3+2^4+2^5=63$ 組のスイッチ対 (126個のスイッチ) が存在する。

【0013】1つのスイッチ対の上記2個のスイッチは、該当するBitが「0」のときには、図中、上のスイッチがオフとなり、下のスイッチがオンとなるように動作する。逆に、該当するBitが「1」のときには、図中、上のスイッチがオンとなり、下のスイッチがオフとなるように動作する。例えば、図10に示した例では、(Bit 5, Bit 4, ..., Bit 0) が「111111」であり、全てのスイッチにおいて上のスイッチがオン、下のスイッチがオフとなっており、選択回路106の出力端からは $V_{63}$ の電圧が出力される。また、例えば、(Bit 5, Bit 4, ..., Bit 0) が「000001」であれば、選択回路106の出力端からはVの電圧が出力される。

【0014】ボルテージフォロア回路107は、選択回路106から出力されたアナログ電圧と同じ電圧を、より低い内部抵抗による液晶駆動信号として、液晶駆動電圧出力端子から出力するものである。

【0015】

【発明が解決しようとする課題】近年、液晶表示装置の高精細化および多階調化によって、液晶駆動装置の回路規模が増大する方向にある。一方、液晶表示装置の用途が拡大するにつれて、市場からは、より低価格の液晶表示装置が望まれるようになってきており、液晶駆動装置の規模を削減して製造コストの低減を図ることが強く望まれている。しかも、携帯性から、液晶駆動装置を含む液晶表示装置の小型化の要求が強く、液晶駆動装置の規模の削減が重要になってきている。

【0016】しかしながら、上記従来のDA変換器100では、それが液晶表示装置の液晶駆動装置として用いられた場合には、表示する階調数が増えるに従って、その回路を構成している素子の数が急激に増加する。例えば、6ビットのデジタル信号で64階調表示を行う液晶駆動装置の場合、まず、基準電圧発生回路108に64個の抵抗素子が必要である。また、選択回路106を構成するスイッチが、1つの画素につき126個必要である。同様に、8ビットのデジタル信号で256階調表示を行う液晶駆動装置の場合には、基準電圧発生回路108に256個の抵抗素子が必要であり、選択回路106を構成するスイッチが1つの画素につき510個必要である。すなわち、 $1+2+2^2+2^3+\dots+2^7=255$ 組のスイッチ対であるため510個のスイッチとなる。さらに、カラー表示を行う場合には、色は3通り (赤、緑、青) あるので、上記の抵抗素子およびスイッチの必要個数はそれぞれ3倍になる。

【0017】このように、従来技術による液晶駆動装置では、表示する色数の増加すなわち多階調化のために必要な電圧数が増加するにつれて、その回路構成素子数が急激に増加する。また、表示を高精細化するにつれて、その回路構成素子数が急激に増加する。そのため、液晶駆動装置の製造コストが急激に増大し、また、液晶駆動装置を集積回路化した場合のチップサイズが増大するため小型化が困難であるという問題がある。

【0018】本発明は、上記の問題点を解決するためになされたもので、その目的は、必要とされる電圧数が増えても、回路構成素子 (抵抗素子やスイッチ) の数の急激な増加を抑えることができ、その結果、製造コストの増大を抑えるとともに、小型化できるDA変換器を提供することにある。

【0019】また、他の目的は、表示の多階調化および高精細化を図っても、回路構成素子の数の急激な増加を抑えることができ、その結果、製造コストの増大を抑えるとともに、小型化できる液晶駆動装置を提供することにある。

【0020】

【課題を解決するための手段】本発明のDA変換器は、上記の課題を解決するために、電圧レベルが互いに異なる基準電圧を発生し、デジタル信号に従い上記基準電圧に基づいて出力電圧を出力することによって、上記デジタル信号をアナログ信号に変換するDA変換器において、上記基準電圧を発生する基準電圧発生手段と、電圧レベルが隣接する2つの上記基準電圧を、これら2つの基準電圧の電圧レベルの間に上記出力電圧の電圧レベルを含むように選択する基準電圧選択手段と、上記2つの基準電圧の電圧レベルの間にあらかじめ設定されている複数の電圧レベルから上記出力電圧の電圧レベルを選択する生成電圧選択手段と、上記生成電圧選択手段によって選択された上記電圧レベルの電圧を、上記2つの基準電圧に基づいて上記出力電圧として生成する電圧生成手段とを具備することを特徴としている。

【0021】このDA変換器は、例えば、抵抗素子による分割にて互いに異なる基準電圧を発生し、Nビットのデジタル信号に従いスイッチをオン・オフして上記基準電圧に基づいて $2^A$ 通りの出力電圧を出力することによって、上記デジタル信号をアナログ信号に変換するものである。

【0022】上記の構成により、基準電圧発生手段が発生した基準電圧から、基準電圧選択手段が電圧レベルが隣接する2つの基準電圧を選択し、電圧生成手段が上記2つの基準電圧に基づいて、これら2つの基準電圧の間に電圧レベルを持つ電圧（補間電圧）を出力電圧として生成する。しかも、上記2つの基準電圧の間にはあらかじめ出力電圧として選択可能な複数の電圧レベルが設定されており、これら複数の電圧レベルの何れか1つを生成電圧選択手段が選択して、電圧生成手段が生成すべき出力電圧を決定する。

【0023】このように、上記DA変換器では、基準電圧発生手段が発生する基準電圧に基づき、基準電圧発生手段が発生していない電圧レベルの補間電圧をつくり出す。その結果、基準電圧発生手段で発生した電圧（基準電圧）に加え、基準電圧発生手段で発生させていない他の電圧（補間電圧）をも、出力電圧として出力することができる。さらに、上記DA変換器では、補間電圧の電圧レベルを、隣接する基準電圧の間にあらかじめ設定されている複数の電圧レベルから選択することができる。

【0024】よって、上記DA変換器によれば、出力電圧に必要な電圧レベルの一部を補間によって生成できるため、基準電圧発生手段で発生する電圧の数を、必要とされる電圧数よりも大幅に減らすことができる。したがって、基準電圧発生手段の素子、例えば抵抗素子の数を、従来の技術に比べて著しく減少させることができる。さらに、基準電圧発生手段から発生される基準電圧の数が少ないので、基準電圧を選択する基準電圧選択手段の素子、例えばオン・オフするためのスイッチ素子の

数を、従来の技術に比べて著しく減少させることができる。

【0025】それゆえ、上記DA変換器によれば、必要とされる出力電圧数が増えても、抵抗やスイッチ等の回路構成素子の数の急激な増加を抑えることができ、その結果、製造コストの増大を抑えるとともに、小型化することが可能となる。

【0026】本発明のDA変換器は、上記の課題を解決するために、さらに、上記基準電圧発生手段が、上記基準電圧を $2^A + 1$  ( $A = 1, 2, \dots$ ) 通りの電圧レベルで発生するものであり、上記デジタル信号が、上記2つの基準電圧を上記基準電圧選択手段に対して指定するAビットの基準電圧選択ビットを含むことを特徴としている。

【0027】上記の構成により、さらに、デジタル信号のAビットを基準電圧選択ビットとして、基準電圧発生手段が発生する電圧レベルが隣接する2つの基準電圧を選択するために使用する。これにより、Aビットの基準電圧選択ビットによって $2^A$ 通りに上記2つの基準電圧を指定できる。

【0028】これにより、基準電圧発生手段によって $2^A + 1$  ( $A = 1, 2, \dots$ ) 通りの基準電圧を発生させ、デジタル信号のAビット（基準電圧選択ビット）によって基準電圧選択手段に対して上記2つの基準電圧を $2^A$ 通りに指定することができる。したがって、基準電圧発生手段およびデジタル信号を効率よく利用できる。

【0029】本発明のDA変換器は、上記の課題を解決するために、さらに、上記電圧生成手段は、上記出力電圧を上記2つの基準電圧に基づく線形補間によって生成するものであることを特徴としている。

【0030】上記の構成により、さらに、電圧生成手段は、基準電圧以外の電圧レベルの電圧を、基準電圧選択手段によって選択された上記2つの基準電圧に基づく線形補間によって生成する。よって、補間のための演算が単純であるため、電圧生成手段の実現が容易である。また、液晶駆動装置に上記DA変換器を適用する場合に、線形補間は階調レベルに対応した電圧レベルの生成に好適である。

【0031】本発明のDA変換器は、上記の課題を解決するために、さらに、上記デジタル信号が、上記出力電圧の電圧レベルを上記生成電圧選択手段に対して指定するB ( $B = 2, 3, \dots$ ) ビットの生成電圧選択ビットを含み、上記電圧生成手段が、上記2つの基準電圧の一方に対して $2^C$  倍 ( $C = 1, 2, \dots, B - 1$ ) の重み付けを行う重み付け手段を備えていることを特徴としている。

【0032】上記の構成により、さらに、デジタル信号のBビットを生成電圧選択ビットとして、出力電圧の電圧レベルを指定するために使用する。これにより、Bビットの生成電圧選択ビットによって $2^B$  通りに出力電圧

を指定できる。よって、基準電圧の一方をそのまま出力電圧とする場合に 1 通りを割り当てても、上記 2 つの基準電圧の間にあらかじめ設定されている複数の電圧レベルから、 $2^b - 1$  通りに補間電圧を指定できる。すなわち、上記 2 つの基準電圧の間において、補間電圧を  $2^b - 1$  通りに選択できる。

【0033】また、電圧生成手段は、上記 2 つの基準電圧の一方に対して  $2^c$  倍の重み付けを行う重み付け手段を備えているため、上記 2 つの基準電圧を両端とする重み付け平均を演算することによって、上記 2 つの基準電圧の間に  $2^b - 1$  個の補間電圧を生成することができる。

【0034】例えば、生成電圧選択ビットを 2 ビットとすると、電圧生成手段で生成する電圧を 4 通りに指定できる。そして、基準電圧を  $V_0$ 、 $V_4$  とすると、電圧生成手段は、重み付け手段によって  $V_0$ 、あるいは  $V_4$  に対して 2 倍の重み付けができるため、基準電圧  $V_0$ 、 $V_4$  に基づいて重み付き平均を演算して、 $(V_0 \times 3 + V_4) / 4 = V_1$ 、 $(V_0 \times 2 + V_4 \times 2) / 4 = V_2$ 、 $(V_0 + V_4 \times 3) / 4 = V_3$  を、基準電圧  $V_0$  および  $V_4$  の間に生成することができる。すなわち、基準電圧  $V_0$  と  $V_4$  の間を均等に 4 分割する電圧として、3 つの補間電圧  $V_1$ 、 $V_2$ 、 $V_3$  を生成することができる。

【0035】このように、デジタル信号の B ビット（生成電圧選択ビット）によって生成電圧選択手段に対して出力電圧の電圧レベルを  $2^b$  通りに指定し、電圧生成手段によって上記 2 つの基準電圧に基づき重み付き平均を演算することにより  $2^b$  通りに出力電圧を生成することができる。

【0036】よって、上記 DA 変換器によれば、生成電圧発生手段およびデジタル信号を効率よく利用できる。また、補間のための演算が単純であるため、電圧生成手段の実現が容易である。また、液晶駆動装置に上記 DA 変換器を適用する場合に、線形補間は階調レベルに対応した電圧レベルの生成に好適である。

【0037】本発明の DA 変換器は、上記の課題を解決するために、さらに、上記デジタル信号が上記基準電圧選択ビットと上記生成電圧選択ビットとからなり、かつ、上記生成電圧選択ビットが 2 ビットであることを特徴としている。

【0038】上記デジタル信号を  $A + B = N$  ビットとすると、B が 2 であるため、 $A = N - 2$  となる。この場合、上記 DA 変換器は、N ビットのデジタル信号を  $2^N$  通りのアナログ信号に変換する DA 変換器であって、上記基準電圧発生手段は、基準電圧を  $2^{N-2} + 1$  通りの電圧レベルで発生する。また、上記基準電圧選択手段は、デジタル信号の  $N - 2$  ビットに従って電圧レベルが隣接する 2 つの基準電圧を選択する。また、生成電圧選択手段は、上記 2 つの基準電圧の電圧レベルの間にあらかじめ

め設定された  $2^2 - 1 = 3$  個（1 個は一方の基準電圧をそのまま出力する場合に割り当てる）の補間電圧から、1 つを上記デジタル信号の 2 ビットに従って選択する。そして、上記電圧生成手段は、上記 2 つの基準電圧に基づき、上記 2 つの基準電圧の一方に対して 2 倍の重み付けを行って、重み付け平均の演算を行うことにより上記補間電圧を生成する。

【0039】例えば、6 ビットのデジタル信号に従って 64 階調の表示を行う液晶駆動装置に搭載する DA 変換器の場合、基準電圧発生手段が 4 階調おきに相当する 17 通りの電圧 ( $V_0$ 、 $V_4$ 、 $V_8$ 、 $\dots$ 、 $V_{56}$ 、 $V_{64}$ ) を発生し、16 区間 ( $V_{4(a-1)}$  と  $V_{4a}$  との間 ( $a = 0, 1, \dots, 15$ )) に、それぞれ 3 つの補間電圧を生成して補間することができる。

【0040】よって、上記 DA 変換器によれば、出力電圧に必要な電圧レベルの一部を補間によって生成できるため、基準電圧発生手段で発生する電圧の数を、必要とされる電圧数よりも大幅に減らすことができる。したがって、基準電圧発生手段の例えば抵抗素子の数、および基準電圧選択手段の例えばスイッチ素子の数を、従来の技術に比べて著しく減少させることができる。

【0041】本発明の DA 変換器は、上記の課題を解決するために、さらに、上記基準電圧発生手段は、複数の抵抗素子を互いに接続し、これらの抵抗素子の間の接続部から上記基準電圧を発生させる抵抗分圧回路であることを特徴としている。

【0042】上記の構成により、さらに、基準電圧発生手段は、複数の抵抗素子を互いに接続し、これらの抵抗素子の間の接続部から基準電圧を発生させる。例えば、 $2^A$  個の抵抗素子を直列に接続して、 $2^A + 1$  ( $A = 1, 2, \dots$ ) 通りの基準電圧を発生させ、デジタル信号の A ビット（基準電圧選択ビット）によって基準電圧選択手段に対して上記 2 つの基準電圧を  $2^A$  通りに指定することができる。

【0043】したがって、抵抗素子の抵抗値を自由に設定できるため、基準電圧の設定の自由度を増大させることができるとともに、基準電圧発生手段をより簡単な構成とすることができる。

【0044】また、本発明の液晶駆動装置は、上記の課題を解決するために、上記 DA 変換器を搭載したことを特徴としている。

【0045】上記の構成により、上記 DA 変換器を搭載することによって、上記液晶駆動装置は、表示の多階調化および高精細化を図っても、回路構成素子の数の急激な増加を抑えることができ、その結果、製造コストの増大を抑えるとともに、小型化することが可能になる。

【0046】通常、上記 DA 変換器を液晶駆動装置に搭載する場合、基準電圧選択手段を液晶駆動出力端子ごとに設ける必要がある。特にカラー表示の液晶駆動装置の場合、液晶駆動出力端子を表示データ R、G、B それぞ

れの表示ごとに設ける必要がある。

【0047】よって、液晶駆動装置の中でも回路規模の大きい、基準電圧選択手段の規模の削減は、チップサイズ的大幅な縮小を可能とし、これに伴うコスト削減に大きく寄与する。加えて、液晶駆動装置の回路規模の縮小は、これを搭載する液晶表示装置の小型化につながる。したがって、色数増加のための多階調化および画素数増加による高分解能化を含めて高品位な液晶表示装置を実現することができる。さらに、液晶表示装置を小型化することができる。

【0048】

【発明の実施の形態】本発明の実施の一形態について図1から図9に基づいて説明すれば、以下のとおりである。

【0049】本実施の形態に係るDA変換器10(図1, 図9)は、MOSトランジスタ構成のオペアンプを備えており、特に、アクティブマトリクス方式の液晶表示装置の液晶駆動装置等に使用することができるものである。

【0050】まず、図5から図9を参照しながら、上記DA変換器10を備えた液晶表示装置の構成、その液晶表示装置の液晶パネルの構成、その液晶駆動波形、およびその液晶表示装置に設けられているソースドライバの構成について説明する。

【0051】図5に、アクティブマトリクス方式の代表例であるTFT(薄膜トランジスタ)方式の液晶表示装置20のブロック構成を示す。

【0052】この液晶表示装置20は、液晶表示部と、それを駆動する液晶駆動回路(液晶駆動装置)とに分かれる。液晶表示部は、TFT方式の液晶パネル21を備えており、液晶パネル21には、図示しない液晶表示素子と、後述する対向電極(共通電極)26とが設けられている。

【0053】一方、この液晶駆動回路は、それぞれIC(integrated circuit)からなるソースドライバ22およびゲートドライバ23と、コントローラ24と、液晶駆動電源25とを備えている。コントローラ24は、ソースドライバ22に表示データDおよび制御信号S1を入力するとともに、ゲートドライバ23に制御信号S2を入力する。これにより、コントローラ24は、ゲートドライバ23に垂直同期信号を入力するとともに、ソースドライバ22およびゲートドライバ23に水平同期信号を入力する。

【0054】外部から入力された表示データは、コントローラ24を通してデジタル信号でソースドライバ22へ上記表示データDとして入力される。ソースドライバ22は、入力された表示データを時分割で内部にラッチし、その後、コントローラ24から入力される上記水平同期信号に同期してDA変換を行う。そして、DA変換によって得られた、階調表示用のアナログ電圧(階調表

示電圧)を、液晶駆動電圧出力端子17t(図9、後述)から、ソース信号ライン34(図6、後述)を介して、その液晶駆動電圧出力端子17tに対応した、液晶パネル21の液晶表示素子(図示せず)へそれぞれ出力する。

【0055】図6に、上記液晶パネル21の構成を示す。液晶パネル21には、画素電極31、画素容量32、画素への電圧印加をオン・オフする素子としてのTFT33、ソース信号ライン34、ゲート信号ライン35、対向電極26が設けられている。なお、図中の領域Aは1画素分の液晶表示素子を示す。

【0056】ソース信号ライン34には、ソースドライバ22(図5)から、表示対象の画素の明るさに応じた階調表示電圧が与えられる。ゲート信号ライン35には、ゲートドライバ23(図5)から、図6において縦方向に並んだTFT33が順次オンするように走査信号が与えられる。そして、オン状態のTFT33を通して、該TFT33のドレインに接続された画素電極31にソース信号ライン34の電圧が印加され、対向電極26との間の画素容量32に蓄積されることによって、液晶の光透過率が変化して、画素の表示が行われる。

【0057】ここで、図7および図8に、上記液晶パネル21の液晶駆動波形の例を示す。図7および図8には、ソースドライバ22の駆動波形p22a, p22b、ゲートドライバ23の駆動波形p23a, p23b、対向電極26の電位p26a, p26b、画素電極31の電圧波形p31a, p31bをそれぞれ示してある。また、液晶材料に印加される電圧は、画素電極31と対向電極26との電位差であり、両図中には斜線で示している。

【0058】例えば、図7では、ゲートドライバ23の駆動波形p23aにより、HighレベルのときTFT33がオンし、ソースドライバ22の駆動波形p22aと対向電極26の電位p26aとの差が画素電極31に印加される。このあと、ゲートドライバ23の駆動波形p23aはLowレベルとなり、TFT33はオフ状態となる。このとき、画素では、画素容量32があるため、電圧波形p31aのように上述の電圧が維持される。また、図8は、図7の場合と比べて液晶材料への印加電圧が低い場合であるが、この点を除き図7の場合と同様に動作することを示している。

【0059】このように、上記液晶表示装置20では、液晶パネル21の液晶材料に印加する電圧をアナログ電圧として変化させることにより、画素の光透過率をアナログ的に変えて、多階調表示を実現している。したがって、表示可能な階調数は、液晶材料に印加されるアナログ電圧の選択枝の数により決定される。

【0060】図9に、上記ソースドライバ22のブロック図の一例を示す。入力されたデジタル信号の表示データは、R(赤)、G(緑)、B(青)ごとの表示データ

DR, DG, DBとなっており、この表示データは、一旦、入力ラッチ回路11にてラッチされたあと、スタートパルスSPが入力されるとともにクロックCKによりシフトするシフトレジスタ12の動作に合わせて、時分割でサンプリングメモリ13に記憶され、その後、水平同期信号(図示せず)に基づいてホールドメモリ14に一括転送される。Sはカスケード出力である。基準電圧発生回路(基準電圧発生手段)18は、参照電圧VRに基づき、各レベルの基準電圧を発生する。上記ホールドメモリ14の表示データは、レベルシフト回路15を通して、選択回路(DA(デジタル-アナログ)変換回路)16へ送られ、そこで、上記基準電圧発生回路18からの各レベルの基準電圧を基にアナログ電圧に変換される。そして、出力回路であるボルテージフォロア回路(電圧生成手段)17により、液晶駆動電圧出力端子17tから、階調表示電圧として、各液晶表示素子(図示せず。なお、図6の領域A参照)へ出力される。

【0061】ここで、上記の選択回路16、ボルテージフォロア回路17、基準電圧発生回路18によって、上記DA変換器10が構成されている。そして、液晶表示装置20においては、このDA変換器10を用いて上記のように液晶駆動回路を構成し、それによって、上述のように、上記液晶パネル21に表示するデジタルデータ(各色の表示データDR, DG, DB)をDA変換器10によりDA変換して、各液晶表示素子に印加するようになっている。

【0062】以下、図1から図4を参照しながら、上記DA変換器10について詳細に説明する。

【0063】まず、図1を用いて、選択回路(選択手段)16、ボルテージフォロア回路(出力手段)17、基準電圧発生回路(基準電圧発生手段)18の構成を説明する。なお、上記回路以外にも、液晶表示での輝度調整を行う回路を設けることもできる。

【0064】図1に示した上記DA変換器10は、6ビットの表示データから64階調表示に必要な64通りのアナログ電圧を出力する構成例である。なお、表示データは、Bit5がMSBであり、Bit0がLSBである。

【0065】図1に示すように、上記DA変換器10には、抵抗分圧回路による基準電圧発生回路18が設けられている。すなわち、基準電圧発生回路18は、複数の抵抗素子を互いに接続し、これらの抵抗素子間の接続部から基準電圧を発生させる抵抗分圧回路である。この基準電圧発生回路18は、16個の抵抗素子が直列に接続された構成であり、その一方の端子には、液晶駆動電圧の最大値( $V_{H1}$ )が、別の端子には最小値( $V_{L1}$ )の電圧が入力される。これにより、各抵抗の端子からは、17通りの電圧( $V_0, V_1, V_2, \dots, V_{16}$ )が、上記抵抗素子の抵抗値に応じた比率で発生することになる。なお、この17通りの電圧は、液晶駆動電圧と

しては、4階調おきの電圧に相当するものである。

【0066】つぎに、選択回路16の回路構成および入出力関係について説明する。

【0067】図1に示すように、上記DA変換器10には、3つの出力を持つ選択回路16が設けられている。この選択回路16は、6ビットからなる表示データ(デジタル表示信号)に従って、該当する電圧を、基準電圧発生回路18から入力された17通りの電圧の中から、1つもしくは2つの電圧を選択して出力するものである。この選択回路16は、例えばMOSトランジスタやトランスマッションゲート等のアナログスイッチによって構成できる。そして、各スイッチは、2個のスイッチで1組のスイッチ対として構成され、6ビットの表示データに基づき、2つの入力信号の一方を選択して出力する。

【0068】ここで、上記選択回路16は、表示データのBit5~2(基準電圧選択ビット)に基づいて、電圧レベルが隣接する2つの基準電圧を選択する基準電圧選択回路16a(基準電圧選択手段)(SW(5)~SW(2))と、表示データのBit1,0(生成電圧選択ビット)に基づいて、上記基準電圧選択回路16aで選択された2つの基準電圧の間で補間電圧の電圧レベル(すなわち、階調)を選択する生成電圧選択回路(生成電圧選択手段)16b(SW(1), SW(0))とを備えて構成されている。

【0069】図1では、各スイッチ対をSW(x, y)のように表すこととする。ここで、xは図中の横の位置を示すものであり、右から順に、0, 1, 2, ..., 5のように付され、Bitの番号に一致する。また、yは図中の縦の位置を示すものであり、下から順に、1, 2, ...のように付される。また、1つのスイッチ対に含まれる2個のスイッチのうち、図中の上側のスイッチにUを、下側のスイッチにDをそれぞれ付して区別することとする。例えば、右から4個目、下から2個目のスイッチ対は、SW(3, 2)のように表記される。また、そのスイッチ対のうちの上側のスイッチはSW(3, 2)Uと表記され、下側のスイッチはSW(3, 2)Dと表記される。

【0070】また、右から所定個目のスイッチ対を総称して、2つ目の数字を付さずに表記することとする。例えば、右から4個目のスイッチ対は、SW(3, 1), SW(3, 2), SW(3, 3)であるが、これらは、SW(3)のように総称される。また、右から所定個目の全スイッチ対における上側のスイッチを総称して、2つ目の数字を付さずに表記することとする。例えば、右から4個目のスイッチ対のうちの上側のスイッチは、SW(3, 1)U, SW(3, 2)U, SW(3, 3)Uであるが、これらは、SW(3)Uのように総称される。下側についても同様である。

【0071】各ビットにおけるスイッチの配置関係につ



いて説明する。

【0072】6ビットの表示データのうち、Bit 5 (MSB) により動作するスイッチ対は、9組、すなわち SW (5, 1) ~ SW (5, 9) からなっており、それぞれは2個のスイッチUとDとで構成されている。

【0073】SW (5, 1) Dの一端には $V_1$ が、SW (5, 1) Uの一端には $V_{1,2}$ が入力されている。また、このSW (5, 1) DおよびSW (5, 1) Uの他の一端は、互いに接続されて共通端子となっている。SW (5, 2) Dの一端には $V_2$ が、SW (5, 2) Uの一端には $V_{2,3}$ が入力されている。また、このSW (5, 2) DおよびSW (5, 2) Uの他の一端は、互いに接続されて共通端子となっている。以下、同様に、SW (5, n) Dの一端には $V_{n(n-1)+1}$ が、SW (5, n) Uの一端には $V_{n(n-1)+2}$ が入力されている。また、このSW (5, n) DおよびSW (5, n) Uの他の一端は、互いに接続されて共通端子となっている。なお、 $n = 1, 2, \dots, 9$ である。

【0074】これらのスイッチ対SW (5) は連動しており、Bit 5が「0」の時には、下側のスイッチであるSW (5) Dが導通 (ON) し、逆に、上側のスイッチであるSW (5) Uが非導通 (OFF) となる。一方、Bit 5が「1」の時には、下側のスイッチであるSW (5) Dが非導通 (OFF) となり、逆に、上側のスイッチであるSW (5) Uが導通 (ON) する。

【0075】つぎに、Bit 4により動作するスイッチ対は、5組、すなわちSW (4, 1) ~ SW (4, 5) からなっており、上記同様、それぞれは2個のスイッチUおよびDで構成されている。

【0076】SW (4, 1) Dの一端にはSW (5, 1) の共通端子が接続され、SW (4, 1) Uの一端にはSW (5, 5) の共通端子が接続されている。また、このSW (4, 1) DおよびSW (4, 1) Uの他の一端は、互いに接続されて共通端子となっている。以下、同様に、SW (4, m) Dの一端にはSW (5, m) の共通端子が接続され、SW (4, m) Uの一端にはSW (5, m+4) の共通端子が接続されている。また、このSW (4, m) DおよびSW (4, m) Uの他の一端は、互いに接続されて共通端子となっている。なお、 $m = 1, 2, \dots, 5$ である。

【0077】これらのスイッチ対SW (4) は連動しており、Bit 4が「0」の時には、下側のスイッチであるSW (4) Dが導通 (ON) し、逆に、上側のスイッチであるSW (4) Uが非導通 (OFF) となる。一方、Bit 4が「1」の時には、下側のスイッチであるSW (4) Dが非導通 (OFF) となり、逆に、上側のスイッチであるSW (4) Uが導通 (ON) する。

【0078】つぎに、Bit 3により動作するスイッチ対は、3組、すなわちSW (3, 1) ~ SW (3, 3) からなっており、上記同様、それぞれは2個のスイッチ

UおよびDで構成されている。

【0079】SW (3, 1) Dの一端にはSW (4, 1) の共通端子が接続され、SW (3, 1) Uの一端にはSW (4, 3) の共通端子が接続されている。また、このSW (3, 1) DおよびSW (3, 1) Uの他の一端は、互いに接続されて共通端子となっている。以下、同様に、SW (3, k) Dの一端にはSW (4, k) の共通端子が接続され、SW (3, k) Uの一端にはSW (4, k+2) の共通端子が接続されている。また、このSW (3, k) DおよびSW (3, k) Uの他の一端は、互いに接続されて共通端子となっている。なお、 $k = 1, 2, 3$ である。

【0080】これらのスイッチ対SW (3) は連動しており、Bit 3が「0」の時には、下側のスイッチであるSW (3) Dが導通 (ON) し、逆に、上側のスイッチであるSW (3) Uが非導通 (OFF) となる。一方、Bit 3が「1」の時には、下側のスイッチであるSW (3) Dが非導通 (OFF) となり、逆に、上側のスイッチであるSW (3) Uが導通 (ON) する。

【0081】つぎに、Bit 2により動作するスイッチ対は、2組、すなわちSW (2, 1), SW (2, 2) からなっており、上記同様、それぞれは2個のスイッチUおよびDで構成されている。

【0082】SW (2, 1) Dの一端にはSW (3, 1) の共通端子が接続され、SW (2, 1) Uの一端にはSW (3, 2) の共通端子が接続されている。また、このSW (2, 1) DおよびSW (2, 1) Uの他の一端は、互いに接続されて共通端子となっている。

【0083】また、SW (2, 2) Dの一端にはSW (3, 2) の共通端子が接続され、SW (2, 2) Uの一端にはSW (3, 3) の共通端子が接続されている。また、このSW (2, 2) DおよびSW (2, 2) Uの他の一端は、互いに接続されて共通端子となっている。

【0084】言い換えれば、SW (2, j) Dの一端にはSW (3, j) の共通端子が接続され、SW (2, j) Uの一端にはSW (3, j+1) の共通端子が接続されている。また、このSW (2, j) DおよびSW (2, j) Uの他の一端は、互いに接続されて共通端子となっている。なお、 $j = 1, 2$ である。

【0085】これらのスイッチ対SW (2) は連動しており、Bit 2が「0」の時には、下側のスイッチであるSW (2) Dが導通 (ON) し、逆に、上側のスイッチであるSW (2) Uが非導通 (OFF) となる。一方、Bit 2が「1」の時には、下側のスイッチであるSW (2) Dが非導通 (OFF) となり、逆に、上側のスイッチであるSW (2) Uが導通 (ON) する。

【0086】つぎに、Bit 1により動作するスイッチ対は、1組、すなわちSW (1, 1) からなっており、上記同様、2個のスイッチUおよびDで構成されている。

【0087】SW (1, 1) Dの一端にはSW (2, 1)の共通端子が接続され、SW (1, 1) Uの一端にはSW (2, 2)の共通端子が接続されている。また、このSW (1, 1) DおよびSW (1, 1) Uの他の一端は、互いに接続されて共通端子となっており、さらに、ボルテージフォロア回路17の入力端子IN<sub>1</sub>に接続されている。

【0088】このスイッチ対SW (1, 1)は連動しており、Bit 1が「0」の時には、下側のスイッチであるSW (1, 1) Dが導通 (ON) し、逆に、上側のスイッチであるSW (1, 1) Uが非導通 (OFF) となる。一方、Bit 1が「1」の時には、下側のスイッチであるSW (1, 1) Dが非導通 (OFF) となり、逆に、上側のスイッチであるSW (1, 1) Uが導通 (ON) する。

【0089】最後に、Bit 0 (LSB) により動作するスイッチ対は、1組すなわちSW (0, 1) からなっており、上記同様、このスイッチ対は、2個のスイッチUおよびDで構成されている。

【0090】SW (0, 1) Dの一端にはSW (2, 1)の共通端子が接続され、SW (0, 1) Uの一端にはSW (2, 2)の共通端子が接続されている。また、このSW (0, 1) DおよびSW (0, 1) Uの他の一端は、互いに接続されて共通端子となっており、さらに、ボルテージフォロア回路17の入力端子IN<sub>2</sub>に接続されている。

【0091】このスイッチ対SW (0, 1)は連動しており、Bit 1が「0」の時には、下側のスイッチであるSW (0, 1) Dが導通 (ON) し、逆に、上側のスイッチであるSW (0, 1) Uが非導通 (OFF) となる。一方、Bit 1が「1」の時には、下側のスイッチであるSW (0, 1) Dが非導通 (OFF) となり、逆に、上側のスイッチであるSW (0, 1) Uが導通 (ON) する。

【0092】また、上記SW (2, 1)の共通端子は、

$$(V_{11}, V_{12}, V_{13}) \text{ の時、 } V_{out} = V_{11} \quad \dots (1)$$

$$(V_{11}, V_{12}, V_{13}) \text{ の時、 } V_{out} = [V_{11} \times 3 + V_{12}] / 4 \quad \dots (2)$$

$$(V_{11}, V_{12}, V_{13}) \text{ の時、 } V_{out} = [V_{11} \times 2 + V_{12} \times 2] / 4 \quad \dots (3)$$

$$(V_{11}, V_{12}, V_{13}) \text{ の時、 } V_{out} = [V_{11} + V_{12} \times 3] / 4 \quad \dots (4)$$

が、出力電圧として出力されることになる。なお、入力

$$(V_{12}, V_{13}, V_{14}) \text{ の時、 } V_{out} = V_{12} \quad \dots (5)$$

が、出力電圧として出力される。

【0099】これは、表示データの基準電圧選択ビットに基づいて、基準電圧発生回路18 (図1) が有する基準電圧から選択された基準電圧V<sub>11</sub>およびV<sub>12</sub>の電圧間を均等に4分割する電圧レベルの電圧を線形補間によって生成して、基準電圧V<sub>11</sub>とV<sub>12</sub>との間を補間

上記のようにSW (1, 1) DおよびSW (0, 1) Dの一端に接続されるとともに、ボルテージフォロア回路17の入力端子IN<sub>3</sub>にも接続されている。

【0093】ここで、図4は、上記選択回路16の動作をまとめたものである。同図は、6ビットの表示データと、選択回路16の出力 (IN<sub>1</sub>, IN<sub>2</sub>, IN<sub>3</sub>に入力される電圧) およびボルテージフォロア回路17の出力電圧V<sub>out</sub> (後述) との関係を表す。

【0094】図4に示されるように、選択回路16の出力、すなわち、ボルテージフォロア回路17の入力端子 (IN<sub>3</sub>, IN<sub>2</sub>, IN<sub>1</sub>) への入力電圧 (VIN<sub>3</sub>, VIN<sub>2</sub>, VIN<sub>1</sub>) は、表示データの低位2ビット (Bit 1, Bit 0) (生成電圧選択ビット) によって、つぎのように整理できる。すなわち、表示データの低位2ビットが (0, 0) の時には入力端子 (IN<sub>3</sub>, IN<sub>2</sub>, IN<sub>1</sub>) へは (V<sub>11</sub>, V<sub>12</sub>, V<sub>13</sub>) が、(0, 1) の時には (V<sub>11</sub>, V<sub>12</sub>, V<sub>13</sub>) が、(1, 0) の時には (V<sub>11</sub>, V<sub>12</sub>, V<sub>13</sub>) が、(1, 1) の時には (V<sub>11</sub>, V<sub>12</sub>, V<sub>13</sub>) が入力される。ここで、aは表示データの上位4ビット (Bit 5~Bit 2) (基準電圧選択ビット) で表される値であり、この例では、a=0, 1, ..., 15の値をとる。

【0095】つづいて、ボルテージフォロア回路17について説明する。

【0096】このボルテージフォロア回路17は、図4に示したように、3つ入力端子 (IN<sub>3</sub>, IN<sub>2</sub>, IN<sub>1</sub>) への入力電圧 (VIN<sub>3</sub>, VIN<sub>2</sub>, VIN<sub>1</sub>) から、以下の関係の出力電圧V<sub>out</sub> を出力端子OUTより出力するものである。

【0097】 $V_{out} = (VIN_3 + VIN_2 + VIN_1 \times 2) / 4$  ここで、上記のように、入力端子IN<sub>1</sub>への入力は2倍の重み付けがなされている。

【0098】よって、ボルテージフォロア回路17の入出力関係は以下のとおりである。すなわち、入力電圧 (VIN<sub>3</sub>, VIN<sub>2</sub>, VIN<sub>1</sub>) が、

電圧 (VIN<sub>3</sub>, VIN<sub>2</sub>, VIN<sub>1</sub>) が、

することを表している。例えば、ボルテージフォロア回路17は、a=0とすると、V<sub>0</sub> (式 (1) に相当) とV<sub>1</sub> (式 (5) に相当) との間を4分割する電圧として、3つの電圧V<sub>1</sub>, V<sub>2</sub>, V<sub>3</sub> (式 (2), (3), (4) に相当) を生成できる。そして、ボルテージフォロア回路17は、生成電圧選択回路16 bから入力電圧

( $V_{IN_1}$ ,  $V_{IN_2}$ ,  $V_{IN_3}$ ) として供給された基準電圧の組み合わせに応じて、電圧  $V_0$ ,  $V_1$ ,  $V_2$ ,  $V_3$  の内の何れか一つを出力電圧  $V_{out}$  として出力する。

【0100】このように、上記ボルテージフォロア回路 17 は、基準電圧  $V_{ref}$  から  $V_0$  の間にある 16 区間 ( $V_{ref}$  と  $V_0$  の間 ( $a=0, 1, \dots, 15$ )) に、それぞれ 3 つの電圧 (補間電圧) を生成して補間することができる。よって、この補間により、基準電圧  $V_{ref}$  から  $V_0$  の間の抵抗分割により生成した 17 の電圧レベルから、64 階調表示に必要な 64 通りのアナログ電圧を 6 ビットの表示データ (4 ビットの基準電圧選択ビット、2 ビットの生成電圧選択ビット) に基づいて出力することができる。

【0101】ここで、上記のような出力電圧  $V_{out}$  を出力するためのボルテージフォロア回路 17 の一例であるボルテージフォロア回路 (電圧生成手段) 17A について説明する。

【0102】図 2 に示すように、上記ボルテージフォロア回路 17A では、 $IN_1$  (2 つ共通),  $IN_2$ ,  $IN_3$  は各々同相入力端子である。また、 $/IN_1$  (2 つ共通),  $/IN_2$ ,  $/IN_3$  は各々逆相入力端子であり互いに接続されて共通になっている。

【0103】トランジスタ  $N1 \sim N8$  は、 $N1$  と  $N2$ ,  $N3$  と  $N4$ ,  $N5$  と  $N6$ ,  $N7$  と  $N8$  が各々差動対を形成するとともに、各々のソースが接続されて各々定電流源として動作するトランジスタ  $N9 \sim N12$  を介して接地されている。

【0104】トランジスタ  $N9 \sim N12$  は、各々の差動対トランジスタの動作電流を供給するものであり、入力端子  $Inf$  からの入力電圧  $V_{Inf}$  により各トランジスタ  $N9 \sim N12$  に共通の電流が流れることになる。

【0105】トランジスタ  $N1$ ,  $N3$ ,  $N5$ ,  $N7$  のドレインは互いに接続され、カレントミラー回路を構成している P チャンネル MOS トランジスタ  $P1$  のドレインと接続されている。一方、トランジスタ  $N2$ ,  $N4$ ,  $N6$ ,  $N8$  のドレインは互いに接続され、前記カレントミラー回路を構成しダイオード接続されている P チャンネル MOS トランジスタ  $P2$  のドレインと接続される。そして、トランジスタ  $P1$  および  $P2$  は、ソースが電源に接続されている。

【0106】出力端子  $OUT$  が設けられており、これは P チャンネル MOS トランジスタ  $P3$  と、これに動作電流を供給する定電流源として動作する N チャンネル MOS トランジスタ  $N13$  とで構成されている。

【0107】トランジスタ  $P3$  のドレインはトランジスタ  $N13$  を介して接地され、 $P3$  のソースは電源に接続されている。また、トランジスタ  $N2$ ,  $N4$ ,  $N6$ ,  $N8$  のゲートとトランジスタ  $P3$  のドレインとは互いに接続され、出力端子  $OUT$  となっている。トランジスタ  $P$

3 のゲートは、先述のトランジスタ  $P1$  のドレインと接続されている。また、トランジスタ  $N13$  のゲートは、トランジスタ  $N9 \sim N12$  のゲートと共通である。

【0108】ここで、定電流源として動作する N チャンネル MOS トランジスタ  $N9 \sim N13$  の各々を流れる電流は等しく、これを  $I$  とする。また、差動対を形成する N チャンネル MOS トランジスタ  $N1 \sim N8$  の特性は似通っており、全て同一の伝達コンダクタンス  $g_m$  を持つ。

【0109】なお、上記トランジスタ  $N1$ ,  $N2$ ,  $N9$  による差動対と上記トランジスタ  $N3$ ,  $N4$ ,  $N10$  による差動対の各々の同相入力端子が共通な入力端子  $IN_1$  に接続されることにより、入力端子  $IN_1$  に入力される基準電圧 (入力電圧  $V_{IN_1}$ ) は入力端子  $IN_2$  および入力端子  $IN_3$  に入力される基準電圧 (入力電圧  $V_{IN_2}$  および入力電圧  $V_{IN_3}$ ) に対して 2 倍の重み付けが行われている。

【0110】ここで、動作の説明を容易にするために、まず、ボルテージフォロア回路 17A から出力回路 (トランジスタ  $P3$  および  $N13$ ) を切り離した状態について説明する。

【0111】入力端子  $IN_1$  (2 つ共通) には入力電圧  $V_{IN_1}$  が入力され、一方、入力端子  $/IN_1$  (2 つ共通) には共通電圧  $V_d$  が入力されているとすると、N チャンネル MOS トランジスタ  $N1$  ( $N3$  も同じ) のドレイン電流  $i_1$  ( $i_3$  も同じ)、および  $N2$  ( $N4$  も同じ) のドレイン電流  $i_2$  ( $i_4$  も同じ) は、次式で表わされる。

$$\begin{aligned} \text{【0112】 } i_1 &= i_3 = (I/2) + g_m (V_d - V_{IN_1}) = (I/2) + g_m \cdot \Delta v_a \\ i_2 &= i_4 = (I/2) - g_m (V_d - V_{IN_1}) = \end{aligned}$$

$$(I/2) - g_m \cdot \Delta v_a$$

ここで、 $\Delta v_a = V_d - V_{IN_1}$

同様に、入力端子  $IN_2$  には入力電圧  $V_{IN_2}$  が入力され、一方、入力端子  $/IN_2$  には共通電圧  $V_d$  が入力されているとすると、N チャンネル MOS トランジスタ  $N5$  のドレイン電流  $i_5$ 、および  $N6$  のドレイン電流  $i_6$  は、次式で表わされる。

$$\begin{aligned} \text{【0113】 } i_5 &= (I/2) + g_m (V_d - V_{IN_2}) = (I/2) + g_m \cdot \Delta v_b \\ i_6 &= (I/2) - g_m (V_d - V_{IN_2}) = (I/2) - g_m \cdot \Delta v_b \end{aligned}$$

$$(I/2) - g_m \cdot \Delta v_b$$

ここで、 $\Delta v_b = V_d - V_{IN_2}$

同様に、入力端子  $IN_3$  には入力電圧  $V_{IN_3}$  が入力され、一方、入力端子  $/IN_3$  には共通電圧  $V_d$  が入力されているとすると、N チャンネル MOS トランジスタ  $N7$  のドレイン電流  $i_7$ 、および  $N8$  のドレイン電流  $i_8$  は、次式で表わされる。

$$\begin{aligned} \text{【0114】 } i_7 &= (I/2) + g_m (V_d - V_{IN_3}) = (I/2) + g_m \cdot \Delta v_c \\ i_8 &= (I/2) - g_m (V_d - V_{IN_3}) = (I/2) - g_m \cdot \Delta v_c \end{aligned}$$

$$(I/2) - g_m \cdot \Delta v_c$$

2)  $-gm \cdot \Delta v_c$

ここで、 $\Delta v_c = V_d - V_{IN_3}$

これらの式より、能動負荷回路 17p を構成する P チャンネル MOS トランジスタ P1 のドレイン電流  $I_{L_1}$ 、

$$I_{L_1} = i_1 + i_3 + i_5 + i_7 \\ = 2I + gm(\Delta v_a + \Delta v_a + \Delta v_b + \Delta v_c) \quad \dots (A)$$

$$I_{L_2} = i_2 + i_4 + i_6 + i_8 \\ = 2I - gm(\Delta v_a + \Delta v_a + \Delta v_b + \Delta v_c) \quad \dots (B)$$

上記の式 (A)、(B) より、 $I_{L_1}$  および  $I_{L_2}$  は、4 つの差動対の各々の差動増幅の結果を重ねた結果であることがわかる。そして、能動負荷回路 17p を構成するトランジスタ P1 および P2 がカレントミラー回路を構成していることから、この増幅回路が通常の増幅動作を行っている動作範囲においては、この 2 つの負荷電

$$(V_d - V_{IN_1}) + (V_d - V_{IN_1}) \\ + (V_d - V_{IN_2}) + (V_d - V_{IN_2}) = 0 \quad \dots (C)$$

となる。

【0118】この式は、通常のアンプ回路のイメージリ・ショートの関係式を、本発明の回路に拡張した結果を与える。なお、この関係は、図 2 の差動増幅回路は、あらかじめ適当なバイアス状態で動作するように設定されており、その動作点付近において、小振幅信号を増幅する通常の増幅動作範囲にあることを前提にしている。

【0119】よって、上記の式 (C) から、 $V_d = (V_{IN_1} \times 2 + V_{IN_2} + V_{IN_3}) / 4$  となる。

【0120】この式は、共通化された逆相入力端子の入

$$V_{out} = (V_{IN_1} \times 2 + V_{IN_2} + V_{IN_3}) / 4 \quad \dots (D)$$

この式 (D) は、3 つの同相入力端子  $I_{N_1}$ 、 $I_{N_2}$ 、 $I_{N_3}$  の入力電圧の 1 つに 2 倍の重み付けを行って、3 つの入力電圧  $V_{IN_1}$ 、 $V_{IN_2}$ 、 $V_{IN_3}$  の平均値を与えることを示している。

【0123】また、上記のような出力電圧  $V_{out}$  を出力するためのボルテージフォロア回路 17 の他の例であるボルテージフォロア回路 (電圧生成手段) 17B について説明する。

【0124】図 3 に示すように、上記ボルテージフォロア回路 17B は、上記ボルテージフォロア回路 17A (図 2) と比較して、2 倍の重み付けを行う差動対部 (トランジスタ N1 と N2、N3 と N4) および定電流源部 (トランジスタ N9、N10) を変形して 1 つにまとめた構成である。よって、動作は基本的に同じであるため、説明は省略する。

【0125】以上のように、図 2 および図 3 で説明したボルテージフォロア回路 17A、17B に、図 4 に示した表示データに対応した基準電圧の組 (1 つ、もしくは隣接する 2 つの値) を入力することで、上記の式 (1) ~ (4) の電圧を補間もしくはそのまま生成して出力電圧  $V_{out}$  として出力できる。

および P チャンネル MOS トランジスタ P2 のドレイン電流  $I_{L_2}$  は、それぞれ次式となる。

【0115】

流  $I_{L_1}$  と  $I_{L_2}$  は等しくなる。

【0116】よって、上記の式 (A)、(B) において、 $I_{L_1} = I_{L_2}$  とおくと、次式が得られる。

【0117】 $\Delta v_a + \Delta v_a + \Delta v_b + \Delta v_c = 0$

すなわち、

力電圧  $V_d$  は、3 つの同相入力端子  $I_{N_1}$ 、 $I_{N_2}$ 、 $I_{N_3}$  の入力電圧に対して、 $I_{N_1}$  の入力電圧に 2 倍の重み付けを行って求めた平均値を与えることを示している。

【0121】そして、図 2 に示すボルテージフォロア回路 17A は、差動増幅回路の共通化した逆相入力端子  $I_{N_1}$ 、 $I_{N_2}$ 、 $I_{N_3}$  に、該差動増幅回路自身の出力信号を帰還したものである。よって、図 2 のボルテージフォロア回路 17A の出力電圧  $V_{out}$  は、次式のように表わされる。

【0122】

【0126】すなわち、上記ボルテージフォロア回路 17 は、入力信号への重み付けを行う回路を備えており、複数の同相入力端子に対して同時に異なる複数の電圧を入力することで、異なる信号の重み付け平均を求めて出力端子から出力するとともに、複数の同相入力端子に対して同時に全て同じ電圧を入力することで、入力された電圧と同じ電圧を出力端子から出力する。

【0127】よって、上記ボルテージフォロア回路 17 を使用した DA 変換器 10 では、基準電圧発生回路 18 が発生した電圧に加えて、補間により生成した電圧を出力することができるため、基準電圧発生回路 18 で発生させる電圧数を大幅に削減できる。

【0128】したがって、上記基準電圧発生回路 18 を構成する抵抗素子数を大幅に削減できる。そして、基準電圧発生回路 18 から出力される電圧数が減少したことで、基準電圧発生回路 18 から電圧を選択する選択回路 16 のスイッチ素子数も大幅に減少させることができる。

【0129】さらに、上記選択回路 16 は、液晶駆動出力端子ごとに設けることから、選択回路 16 の回路削減は、液晶駆動回路のチップサイズ的大幅な縮小を促し、

コスト低減を実現する。特にカラー表示の液晶駆動回路の場合、液晶駆動出力端子は表示データ R、G、B それぞれの表示ごとに設ける必要である。それゆえ、液晶駆動回路の中でも回路規模の大きい、この選択回路 16 の規模の削減は、チップサイズの大幅な縮小を可能とし、これに伴うコスト削減に大きく寄与する。加えて、液晶駆動回路 IC の縮小は、これを搭載する液晶表示装置の小型化につながる。

【0130】それゆえ、今後、ますます強まるさらなる画素数増加による高分解能化、ならびに多階調化を含めた高品位な表示装置を実現し、この表示装置の携帯性の追及からの小型化に対応するに当たり、本発明は絶大な効果を発揮するものである。

【0131】なお、本願出願人は、「特願平 10-357953 号（出願日：平成 10 年 12 月 16 日）『DA 変換器およびそれを用いた液晶駆動装置』」において、電圧が隣接する 2 つの基準電圧を選択し、該基準電圧の平均値の電圧を生成して補間することによって、抵抗素子やスイッチ素子の数を削減した DA 変換器を提案している。具体的には、図 12 に示すように、この DA 変換器記 110 は、1 レベルおきの電圧を発生する抵抗分圧回路である基準電圧発生回路 118 と、1 つあるいは隣接する 2 つの基準電圧を選択する選択回路 116 と、1 つの基準電圧そのままの電圧あるいは 2 つの基準電圧の平均値の電圧を生成して出力するボルテージフォロア回路 117 とを備えている。

【0132】本実施の形態に係る DA 変換器 10（図 1）によれば、上記 DA 変換器記 110（図 12）に対しても、発生する必要がある基準電圧の数がほぼ半減する。そのため、基準電圧発生回路 18 を構成する抵抗素子数、および選択回路 16 を構成するスイッチ素子数をほぼ半減させることができる。

【0133】なお、本実施の形態は本発明の範囲を限定するものではなく、本発明の範囲内で種々の変更が可能である。

【0134】例えば、本実施の形態では、N ビットのデジタル信号に基づいて  $2^N$  通りのアナログ信号に変換する DA 変換器であって、ボルテージフォロア回路 17 に 2 倍 ( $2^1$ ) の重み付け回路を 1 つ設けることにより、 $2^{(N-1)} + 1$  通りのアナログ信号を基に、これらのアナログレベルの間を補間したレベルを生成することで、 $2^N$  通りのアナログレベルを発生する DA 変換器 10 について説明した。

【0135】しかし、上記 DA 変換器 10 は、ボルテージフォロア回路 17 に  $2^m$  倍 ( $m=1, 2, \dots$ ) の重み付けを行う回路を備えることで、 $2^{(N-(m+1))} + 1$  通りのアナログ電圧を基に、これらのアナログレベルの間を補間して、 $2^N$  通りのアナログレベルを生成することができる。例えば、4 倍 ( $2^2$ ) の重み付け回路 1 つと、2 倍 ( $2^1$ ) の重み付け回路 1 つとを付加することによ

り、N ビットのデジタル信号に基づいて  $2^N$  通りのアナログ信号に変える DA 変換器であって、 $2^{(N-3)} + 1$  通りのアナログ電圧を基に、これらのアナログレベルの間を補間したレベルを生成して、 $2^N$  通りのアナログレベルを発生する DA 変換器を実現できる。さらに、ボルテージフォロア回路 17 は、8 倍 ( $2^3$ ) の重み付けを行う回路を付加した回路構成も可能である。

【0136】この点、上記ボルテージフォロア回路 17 は、図 2、図 3 に示した回路構成から明らかなように、Q 倍 ( $Q=2, 3, \dots$ ) の重み付けを行うには、該当する差動対部（図 2 ではトランジスタ N1 と N2、N3 と N4 に相当）および定電流源部（図 2 ではトランジスタ N9、N10 に相当）を Q 個並列に設置することで容易に実現できる。

【0137】さらに、ボルテージフォロア回路 17 における補間方法は、線形補間に限定されない。すなわち、入力端子に付加する重み付けを変えることにより、線形補間以外の補間電圧を発生する方法は、上記動作原理から容易に導くことが可能である。

【0138】また、本実施の形態では、上記のように補間を行う DA 変換器 10 を液晶駆動回路に適用した例について説明したが、上記 DA 変換器 10 は、他の半導体装置および他の方式の表示駆動装置においても有効なものである。

【0139】最後に、本発明は、以下のように構成することもできる。

【0140】本発明に係る DA 変換器は、互いに異なる基準電圧を発生し、N ビットのデジタル信号に従い前記基準電圧に基づいて、 $2^N$  通りのアナログ信号に変える DA 変換器において、 $2^{(N-(m+1))} + 1$  ( $m=1, 2, \dots$ ) 通りの互いに異なる基準電圧を発生する基準電圧発生手段（基準電圧発生回路 18）と、前記デジタル信号の入力を受けると、前記  $2^{(N-(m+1))} + 1$  通りの基準電圧の中から前記入力されたデジタル信号に対応した基準電圧の組を選択し、その選択された組の各基準電圧を出力する選択手段（選択回路 16）と、前記選択手段より出力された基準電圧が入力され、その入力された基準電圧に対して、 $2^m$  倍の重み付けを行う手段を含んで、前記入力された基準電圧の平均値を出力する出力手段（ボルテージフォロア回路 17）とを備えて構成されていてもよい。

【0141】上記 DA 変換器は、N ビットのデジタル信号に従い前記基準電圧に基づいて、 $2^N$  通りのアナログ信号に変える DA 変換器において、 $2^{(N-2)} + 1$  通りの互いに異なる基準電圧を発生する基準電圧発生手段（基準電圧発生回路 18）と、前記デジタル信号の入力を受けると、前記  $2^{(N-2)} + 1$  通りの基準電圧の中から前記入力されたデジタル信号に対応した基準電圧の組を選択し、その選択された組の各基準電圧を出力する選択手段（選択回路 16）と、前記選択手段より出力された基準

電圧が入力され、その入力された基準電圧に対して2倍の重み付けを行う手段および1倍の重み付けを行う手段を含んで、前記入力された基準電圧の平均値を出力する出力手段（ボルテージフォロア回路17）とを備えて構成されていてもよい。

【0142】上記DA変換器は、前記基準電圧発生手段が、複数の抵抗素子をお互いに接続し、これら抵抗素子の間の接続部から複数の電圧を発生させる抵抗分圧回路であってもよい。

【0143】上記DA変換器は、入力されたデジタル信号に対応して電圧の組を選択し、その選択された組の各基準電圧を出力する選択手段（選択回路16）と、前記選択手段により出力された基準電圧が複数の差動増幅回路の差動入力端子に供給されるDA変換器であって、差動対の内の複数の入力端子が共通に接続され、基準電圧をQ倍に重み付けする手段（ボルテージフォロア回路17）を備えて構成されていてもよい。

【0144】本発明に係る液晶表示装置駆動装置は、上記DA変換器を一部に含んでなるものであってもよい。

【0145】

【発明の効果】本発明のDA変換器は、以上のように、基準電圧を発生する基準電圧発生手段と、電圧レベルが隣接する2つの上記基準電圧を、これら2つの基準電圧の電圧レベルの間に出力電圧の電圧レベルを含むように選択する基準電圧選択手段と、上記2つの基準電圧の電圧レベルの間にあらかじめ設定されている複数の電圧レベルから上記出力電圧の電圧レベルを選択する生成電圧選択手段と、上記生成電圧選択手段によって選択された上記電圧レベルの電圧を、上記2つの基準電圧に基づいて上記出力電圧として生成する電圧生成手段とを具備する構成である。

【0146】それゆえ、上記DA変換器では、基準電圧発生手段が発生する基準電圧に基づき、基準電圧発生手段が発生していない電圧レベルの補間電圧をつくり出すことができる。その結果、基準電圧発生手段で発生した電圧（基準電圧）に加え、基準電圧発生手段で発生させていない他の電圧（補間電圧）をも、出力電圧として出力することができる。さらに、上記DA変換器では、補間電圧の電圧レベルを、隣接する基準電圧の間にあらかじめ設定されている複数の電圧レベルから選択することができる。

【0147】よって、上記DA変換器によれば、出力電圧に必要な電圧レベルの一部を補間によって生成できるため、基準電圧発生手段で発生する電圧の数を、必要とされる電圧数よりも大幅に減らすことができる。したがって、基準電圧発生手段の素子数および基準電圧選択手段の素子数を、従来の技術に比べて著しく減少させることができるという効果を奏する。

【0148】それゆえ、上記DA変換器によれば、必要とされる出力電圧数が増えても、抵抗やスイッチ等の回

路構成素子の数の急激な増加を抑えることができ、その結果、製造コストの増大を抑えるとともに、小型化することが可能となるという効果を奏する。

【0149】本発明のDA変換器は、以上のように、さらに、上記基準電圧発生手段が、上記基準電圧を $2^A + 1$  ( $A = 1, 2, \dots$ ) 通りの電圧レベルで発生するものであり、上記デジタル信号が、上記2つの基準電圧を上記基準電圧選択手段に対して指定するAビットの基準電圧選択ビットを含む構成である。

【0150】それゆえ、さらに、基準電圧発生手段によって $2^A + 1$  ( $A = 1, 2, \dots$ ) 通りの基準電圧を発生させ、デジタル信号のAビット（基準電圧選択ビット）によって基準電圧選択手段に対して上記2つの基準電圧を $2^A$  通りに指定することができる。したがって、基準電圧発生手段およびデジタル信号を効率よく利用できるという効果を奏する。

【0151】本発明のDA変換器は、以上のように、さらに、上記電圧生成手段は、上記出力電圧を上記2つの基準電圧に基づく線形補間によって生成するものである。

【0152】それゆえ、さらに、電圧生成手段は、基準電圧以外の電圧レベルの電圧を、基準電圧選択手段によって選択された上記2つの基準電圧に基づく線形補間によって生成する。よって、補間のための演算が単純であるため、電圧生成手段の実現が容易であるという効果を奏する。また、液晶駆動装置に上記DA変換器を適用する場合に、線形補間は階調レベルに対応した電圧レベルの生成に好適であるという効果を奏する。

【0153】本発明のDA変換器は、以上のように、さらに、上記デジタル信号が、上記出力電圧の電圧レベルを上記生成電圧選択手段に対して指定するB ( $B = 2, 3, \dots$ ) ビットの生成電圧選択ビットを含み、上記電圧生成手段が、上記2つの基準電圧の一方に対して $2^C$  倍 ( $C = 1, 2, \dots, B - 1$ ) の重み付けを行う重み付け手段を備えている構成である。

【0154】それゆえ、さらに、デジタル信号のBビット（生成電圧選択ビット）によって生成電圧選択手段に対して出力電圧の電圧レベルを $2^B$  通りに指定し、電圧生成手段によって上記2つの基準電圧に基づき重み付き平均を演算することにより $2^B$  通りに出力電圧を生成することができる。

【0155】よって、上記DA変換器によれば、生成電圧発生手段およびデジタル信号を効率よく利用できるという効果を奏する。また、補間のための演算が単純であるため、電圧生成手段の実現が容易であるという効果を奏する。また、液晶駆動装置に上記DA変換器を適用する場合に、線形補間は階調レベルに対応した電圧レベルの生成に好適であるという効果を奏する。

【0156】本発明のDA変換器は、以上のように、さらに、上記デジタル信号が上記基準電圧選択ビットと上

記生成電圧選択ビットとからなり、かつ、上記生成電圧選択ビットが2ビットである。

【0157】それゆえ、上記DA変換器によれば、出力電圧に必要な電圧レベルの一部を補間によって生成できるため、基準電圧発生手段で発生する電圧の数を、必要とされる電圧数よりも大幅に減らすことができる。したがって、基準電圧発生手段の例えば抵抗素子の数、および基準電圧選択手段の例えばスイッチ素子の数を、従来の技術に比べて著しく減少させることができるという効果を奏する。

【0158】本発明のDA変換器は、以上のように、さらに、上記基準電圧発生手段が、複数の抵抗素子を互いに接続し、これらの抵抗素子の間の接続部から上記基準電圧を発生させる抵抗分圧回路である。

【0159】それゆえ、さらに、基準電圧発生手段は、複数の抵抗素子を互いに接続し、これらの抵抗素子の間の接続部から基準電圧を発生させる。したがって、抵抗素子の抵抗値を自由に設定できるため、基準電圧の設定の自由度を増大させることができるとともに、基準電圧発生手段をより簡単な構成とすることができるという効果を奏する。

【0160】また、本発明の液晶駆動装置は、以上のように、上記DA変換器を搭載した構成である。

【0161】それゆえ、上記DA変換器を搭載することによって、上記液晶駆動装置は、表示の多階調化および高精細化を図っても、回路構成素子の数の急激な増加を抑えることができ、その結果、製造コストの増大を抑えるとともに、小型化することが可能になる。

【0162】よって、液晶駆動装置の中でも回路規模の大きい、基準電圧選択手段の規模の削減は、チップサイズ的大幅な縮小を可能とし、これに伴うコスト削減に大きく寄与する。加えて、液晶駆動装置の回路規模の縮小は、これを搭載する液晶表示装置の小型化につながる。したがって、色数増加のための多階調化および画素数増加による高分解能化を含めて高品位な液晶表示装置を実現することができるという効果を奏する。さらに、液晶

表示装置を小型化することができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施の形態に係るDA変換器の構成の概略を示す回路図である。

【図2】図1に示したDA変換器のボルテージフォロア回路の一例を示す回路図である。

【図3】図1に示したDA変換器のボルテージフォロア回路の他の例を示す回路図である。

【図4】図1に示したDA変換器における表示データと出力電圧との関係を示す説明図である。

【図5】図1に示したDA変換器を備えた液晶表示装置の構成の概略を示すブロック図である。

【図6】図5に示した液晶表示装置の液晶パネルの構成を示す回路図である。

【図7】図5に示した液晶表示装置の液晶駆動波形を示す説明図である。

【図8】図5に示した液晶表示装置の液晶駆動波形を示す説明図である。

【図9】図5に示した液晶表示装置に設けられているソースドライバの構成の概略を示すブロック図である。

【図10】従来のDA変換器の構成を示す回路図である。

【図11】図10に示したDA変換器の要部を示す回路図である。

【図12】従来のDA変換器の構成を示す回路図である。

【符号の説明】

10 DA変換器

16a 基準電圧選択回路（基準電圧選択手段）

16b 生成電圧選択回路（生成電圧選択手段）

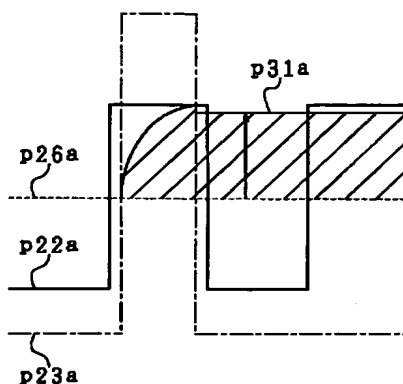
17, 17A, 17B ボルテージフォロア回路（電圧生成手段）

18 基準電圧発生回路（基準電圧発生手段）

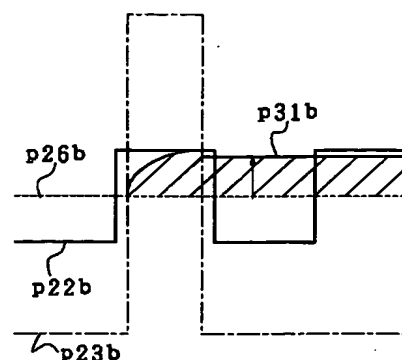
Bit 0, 1 生成電圧選択ビット

Bit 2~5 基準電圧選択ビット

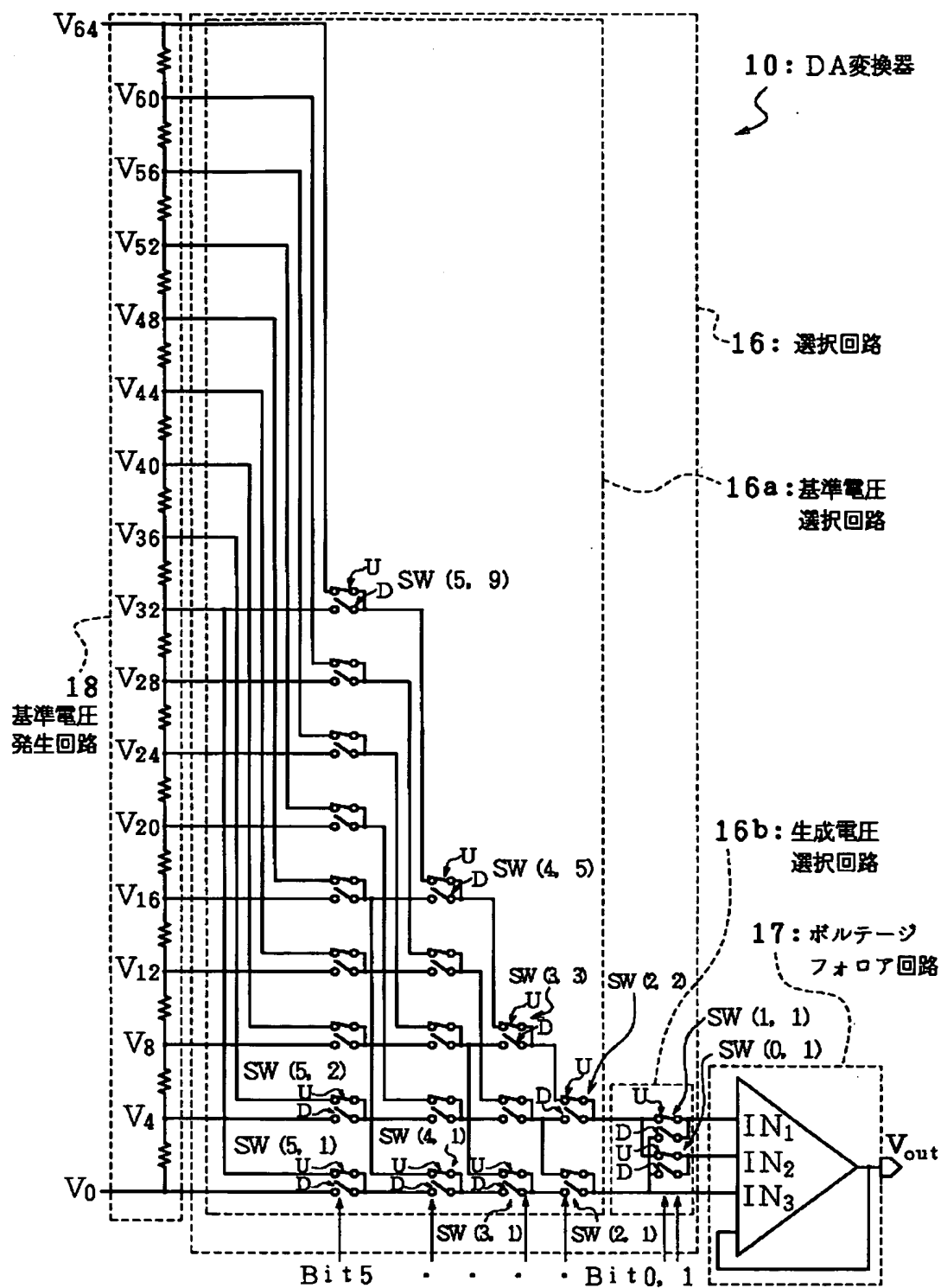
【図7】



【図8】

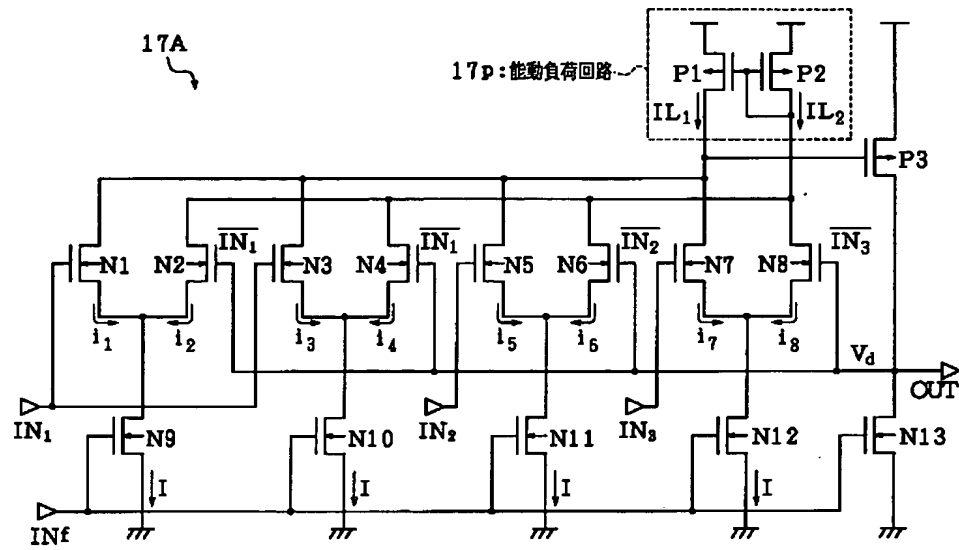


【図 1】

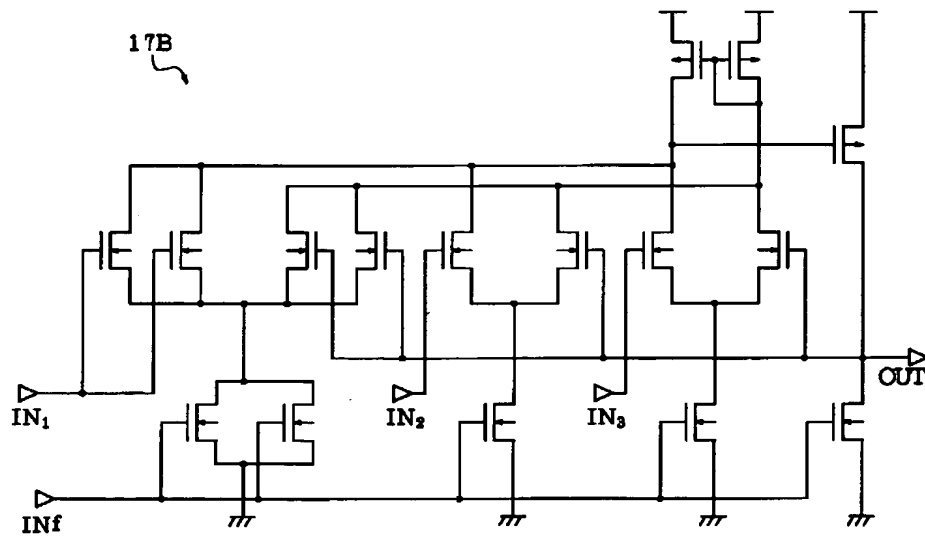




【図 2】



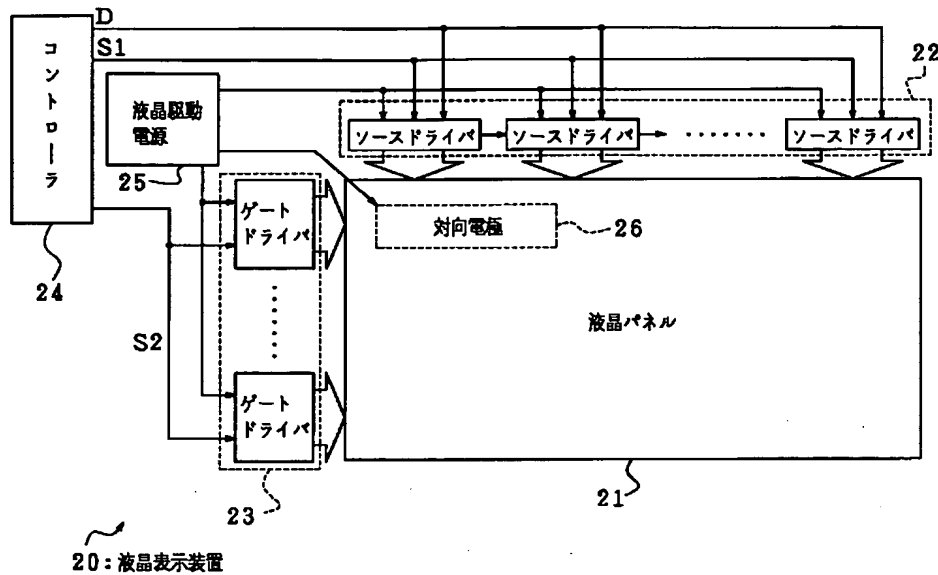
【図 3】



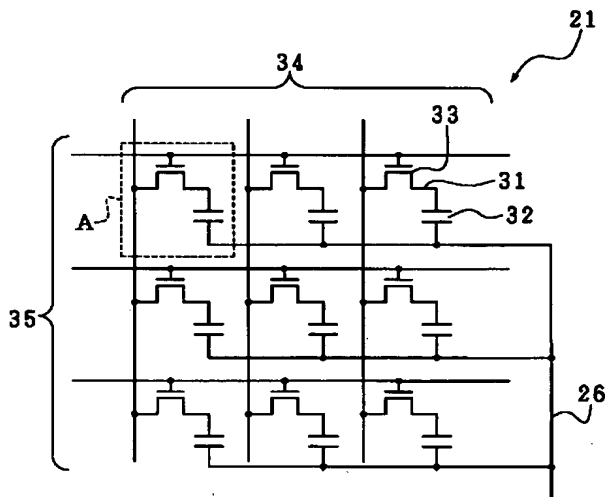
【図 4】

階調	Bit								IN <sub>3</sub>	IN <sub>2</sub>	IN <sub>1</sub>	$\frac{V_{out}}{= (VIN_3 + VIN_2 + VIN_1 \times 2) / 4}$
	5	4	3	2	1	0						
0	0	0	0	0	0	0		V <sub>0</sub>	V <sub>0</sub>	V <sub>0</sub>		V <sub>0</sub>
1	0	0	0	0	0	1		V <sub>0</sub>	V <sub>4</sub>	V <sub>0</sub>		$(V_0 + V_4 + V_0 \times 2) / 4$
2	0	0	0	0	1	0		V <sub>0</sub>	V <sub>0</sub>	V <sub>4</sub>		$(V_0 + V_0 + V_4 \times 2) / 4$
3	0	0	0	0	1	1		V <sub>0</sub>	V <sub>4</sub>	V <sub>4</sub>		$(V_0 + V_4 + V_4 \times 2) / 4$
4	0	0	0	1	0	0		V <sub>4</sub>	V <sub>4</sub>	V <sub>4</sub>		V <sub>4</sub>
...	...	...	...	...	...	...		...	...	...		...
59	1	1	1	0	1	1		V <sub>56</sub>	V <sub>60</sub>	V <sub>60</sub>		$(V_{56} + V_{60} + V_{60} \times 2) / 4$
60	1	1	1	1	0	0		V <sub>60</sub>	V <sub>60</sub>	V <sub>60</sub>		V <sub>60</sub>
61	1	1	1	1	0	1		V <sub>60</sub>	V <sub>64</sub>	V <sub>60</sub>		$(V_{60} + V_{64} + V_{60} \times 2) / 4$
62	1	1	1	1	1	0		V <sub>60</sub>	V <sub>60</sub>	V <sub>64</sub>		$(V_{60} + V_{60} + V_{64} \times 2) / 4$
63	1	1	1	1	1	1		V <sub>60</sub>	V <sub>64</sub>	V <sub>64</sub>		$(V_{60} + V_{64} + V_{64} \times 2) / 4$

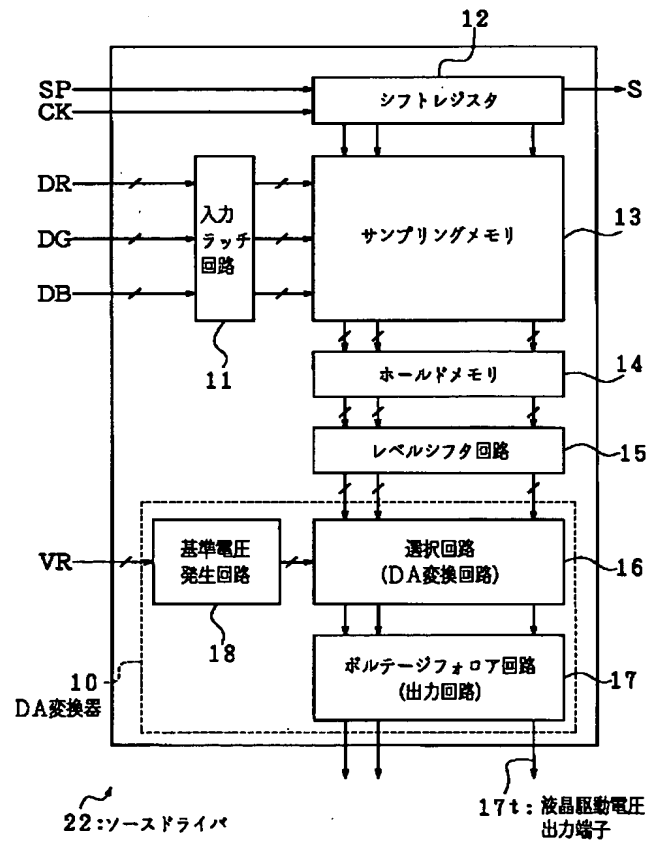
【図5】



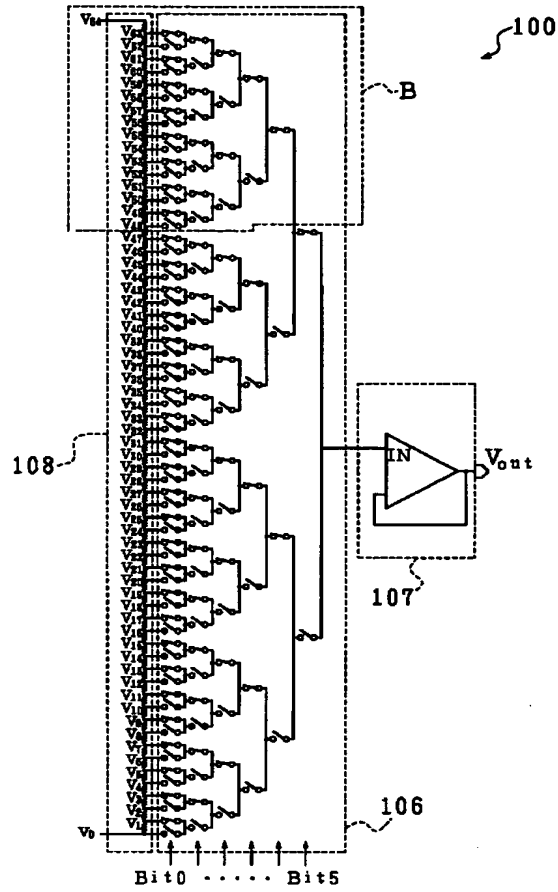
【図6】



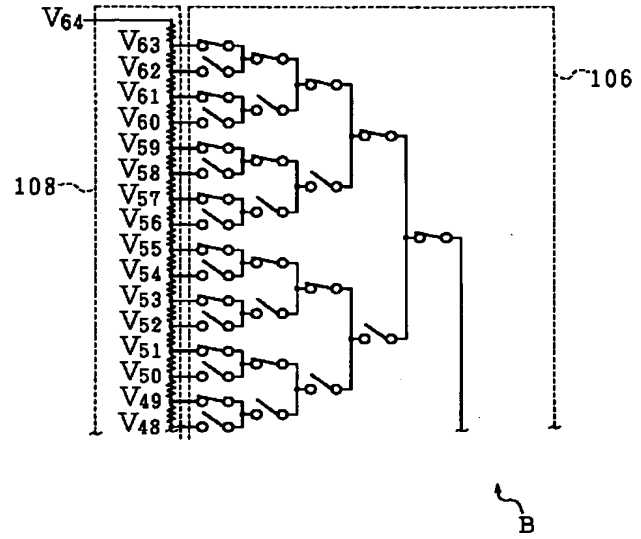
【図9】



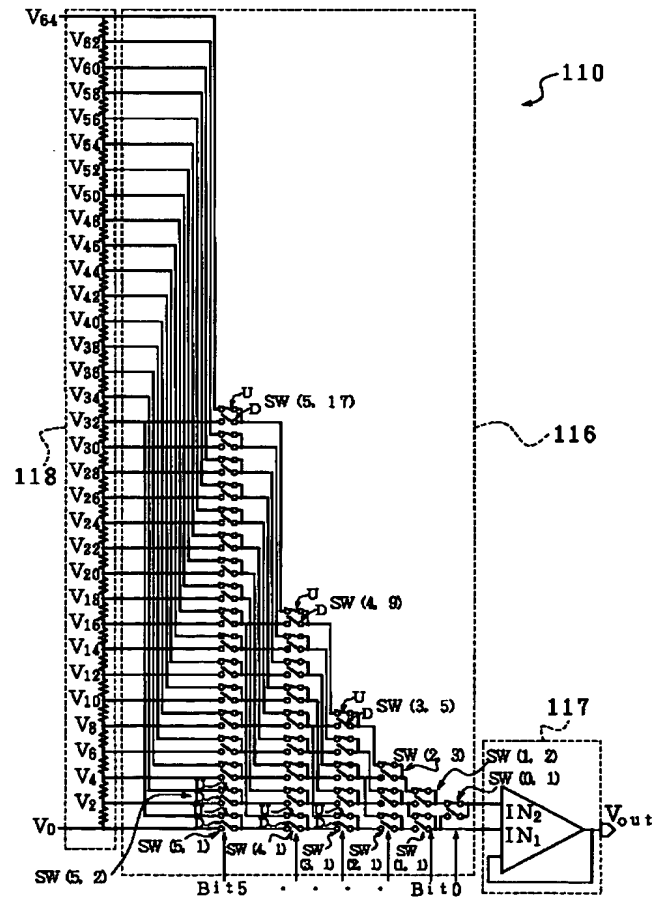
【図 10】



【図 11】



【図 12】



## フロントページの続き

F ターム(参考) 2H093 NC03 NC24 NC26 NC49 ND06  
ND42 ND49 ND52 ND53 ND54  
5C006 AA22 AF83 BB15 BB16 BC13  
BF25 BF43 FA43 FA51 FA56  
5C080 AA10 BB05 DD22 DD27 EE29  
FF11 JJ02 JJ03 JJ04 JJ05  
5J022 AB02 BA06 CA08 CB02 CB07  
CD02 CE08 CE09 CF08 CF09  
CG01